

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-015354

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

H01F 27/29
H01F 17/04

(21)Application number : 11-182871

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 29.06.1999

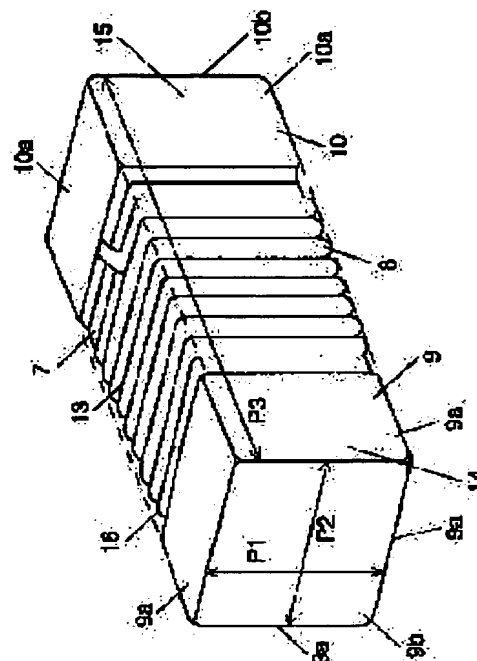
(72)Inventor : TAKEDA KAZUHIRO
KUROKI MASANOBU
KAMIMERA MITSUO
ISOZAKI KENZO

(54) INDUCTANCE ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a winding type inductance element which enables easy decision of terminal electrode and can be improved in productivity.

SOLUTION: This inductance element is constituted by providing terminal parts 14 and 15 at both ends of a base body 7, providing a winding part 8 at the center part of the base body 7, winding the winding part 8 with a coil 13, and joining both the end parts of the coil 13 to the terminal parts 14 and 15, and the color of a terminal electrode top surface layer is made different from the color of a protective material 16.



(11)特許出願公開番号

特開2001-15354

(P2001-15354A)

(43)公開日 平成13年1月19日(2001.1.19)

(51) Int.Cl.⁷

識別記号

FI

テーマコード* (参考)

H01F 27/29

H O 1 F 15/10

B 5 E 0 7 0

17/04

17/04

F

審査請求 有 請求項の数 4 O L (全 8 頁)

(21)出願番号

特願平11-182871

(22) 出題日

平成11年6月29日(1999.6.29)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 竹田 和弘

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 發明者 黒木 政信

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

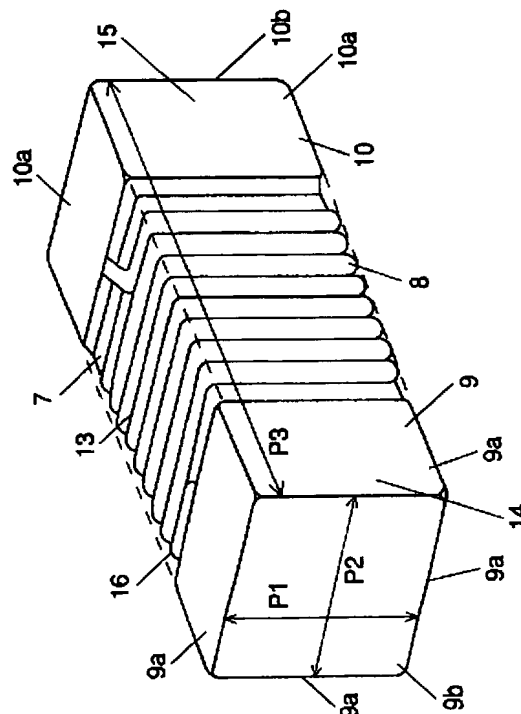
[最終頁に続く](#)

(54) 【発明の名称】 インダクタンス素子

(57) 【要約】

【課題】 本発明は、端子電極の判定が容易に行え、生産性を向上させることができる巻線型のインダクタンス素子を提供することを目的とする。

【解決手段】 基体7の両端に端子部14、15を設け、この基体7の中央部に巻部8を設け、巻部8に巻線13を巻回するとともに、巻線13の両端部を端子部14、15に接合したインダクタンス素子であって、端子電極最表層の色と基体7、保護材16の色を異ならせた。



【特許請求の範囲】

【請求項 1】 基体と、前記基体に巻回された巻線と、前記基体に設けられ前記巻線と接合される端子電極と、前記巻線を覆う保護材とを備えたインダクタンス素子であって、端子電極最表層の色と基体、保護材の双方の色とを異ならせたことを特徴とするインダクタンス素子。

【請求項 2】 基体と保護材の色を同色にしたことを特徴とする請求項 1 記載のインダクタンス素子。

【請求項 3】 基体と保護材の色を黒色としたことを特徴とする請求項 2 記載のインダクタンス素子。

【請求項 4】 素子の高さ P 1、幅 P 2、長さ P 3 を、

0.4 mm < P 1 < 1.2 mm

0.4 mm < P 2 < 1.2 mm

0.9 mm < P 3 < 2.0 mm

とした事の特徴とする請求項 1～3 いずれか 1 記載のインダクタンス素子。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、移動体通信器、電源および他の電子機器に用いられるインダクタンス素子に関するものである。

【0002】

【従来の技術】 図 9 は従来のインダクタンス素子を示す斜視図である（実開昭 61-144616 号公報）。図 9 において、1 は基体で、基体 1 は両端部に鏢部 2、3 がそれぞれ設けられており、鏢部 2 と鏢部 3 の間には巻部 4 が形成されている。また、鏢部 2、3 にはそれぞれ溝部 5 が設けられている。6 は基体 1 に巻回された巻線で、巻線 6 の端部はそれぞれ溝部 5 に保持されている。この様な構成によって、回路基盤等にインダクタンス素子を実装する場合に方向性が存在せず、実装性が向上し、回路基盤の生産性が向上する。また、巻線が接合部分となる鏢部よりはみ出さないのので、実装性を向上させることができる。

【0003】 他の従来の技術としては、例えば特開平 8-124748 号公報、特開平 8-124749 号公報、特開平 8-213248 号公報および実開平 3-1510 号公報、特開平 9-306744 号公報等がある。

【0004】 更に、特開平 10-172832 号公報の様に、巻線を巻回する巻部と、両端の端子部となる鏢部との間に、テーパ部を設ける構成は知られている。

【0005】

【発明が解決しようとする課題】 しかしながら以上のような構成では、基体の両端に設けられた端子電極は銀色で基体の色は白色であるので、画像認識における良品不良品の判定の際にミスが多く、生産性が悪いという問題点があった。これは、基体の色と端子電極の色が類似しているのので、端子電極が規定より大きく形成されていると判断してしまうことに起因していると思われる。

【0006】 本発明は、上記従来の課題を解決するもので、端子電極の判定が容易に行え、生産性を向上させることができるインダクタンス素子を提供することを目的としている。

【0007】

【課題を解決するための手段】 本発明は、基体と、前記基体に巻回された巻線と、前記基体に設けられ前記巻線と接合される端子電極と、前記巻線を覆う保護材とを備えたインダクタンス素子であって、端子電極最表層の色と基体、保護材の色を異ならせた。

【0008】

【発明の実施の形態】 請求項 1 記載の発明は基体と、前記基体に巻回された巻線と、前記基体に設けられ前記巻線と接合される端子電極と、前記巻線を覆う保護材とを備えたインダクタンス素子であって、端子電極最表層の色と基体、保護材の双方の色とを異ならせたことによって、素子の外部に表出する端子電極の最表層、基体、保護材の内端で端子電極を確実に画像認識によって、認識できるので、不良品良品の判定がより確実になり、生産性を向上させることができる。

【0009】 請求項 2 記載の発明は、請求項 1 において、基体と保護材の色を同色にしたことによって、実質的に素子の表面に現れる色は端子電極最表層の色と、基体、保護材の色と 2 色になり判定がより確実に行えるようになる。

【0010】 請求項 3 記載の発明は、請求項 2 において、基体と保護材の色を黒色としたことによって、端子電極最表層は白色あるいは銀色であるので、端子電極と基体、保護材との区別を容易にでき、さらに画像認識の精度を向上させることができる。

【0011】 請求項 4 記載の発明は、請求項 1～3 において、素子の高さ P 1、幅 P 2、長さ P 3 を、

0.4 mm < P 1 < 1.2 mm

0.4 mm < P 2 < 1.2 mm

0.9 mm < P 3 < 2.0 mm

とした事によって、小型で、しかも機械的強度を向上させ、巻線の巻回を容易に、断線等の発生できる。

【0012】 以下、本発明におけるの実施の形態について説明する。

【0013】 図 1 は本発明の一実施の形態におけるインダクタンス素子を示す斜視図である。

【0014】 図 1 において、7 は基体で、基体 7 はアルミナ等の非磁性材料やフェライト（具体的には Ni-Mn 系フェライト、Ni-Zn 系フェライト等）等の磁性材料などが用いられる。基体 7 の構成材料としてアルミナ等の非磁性材料を用いる場合には、対応周波数が 100 MHz 以上が好ましく、特に非磁性材料として前述のアルミナ若しくはアルミナを含む材料を用いると、特性面およびコスト面等で非常に有利になる。また、基体 7 の構成材料としてフェライト等の磁性材料を用いる場合

には、特性面、加工性の面およびコスト面で有利になる。

【0015】図2は本発明の一実施の形態におけるインダクタンス素子の基体7のみを示した斜視図である。図2に示す様に、基体7は後述する巻線を巻回する巻部8と巻部8の両端にそれぞれ設けられた鏝部9、10より構成されている。巻部8および鏝部9、10の断面形状は略正形状の直方体である。また、巻部8は鏝部9、10より段落ちしており、巻部8の径は鏝部9、10の径よりも小さくなっている。巻部8は後述する巻線が巻

10 回されるので、巻線の被膜等に傷が入り、ショート等を防止する等の目的で角部8aに面取りやテーパ加工などを施した方が好ましい。

【0016】また、例えば鏝部10と巻部8の境界にはテーパ部11を設けることによって、巻線を巻きやすくしたり、巻線の被覆に傷が入ったりすることを防止することができる。同様に鏝部9と巻部8の境界部にもテーパ部12を設けた。

【0017】13は基体7に巻回された巻線で、巻線13は巻部8上に巻かれており、巻線13は、隙間を設けて巻かれるか、密着して巻かれている。巻線13を隙間を設けて巻部8上に巻回する事で、Q値の劣化などを防止し、巻線13を密着して巻くことで、巻数を増やしインダクタンスを高くすることができる。巻線13としては、銀、銀合金、銅、銅合金、金、金合金、アルミニウム、アルミニウム合金等の導電材料の少なくとも一つで構成することが好ましく、それらの中でも特に、コスト面、強度面、扱い易さなどを考慮すると、銅或いは銅合金で構成することが好ましい。

【0018】14、15は鏝部9、10にそれぞれ設けられた端子部で、端子部14、15は端子電極と接合層から構成されている。

【0019】図3、図4に示す様に、端子電極は、基体7の上に導電材料で構成された下地膜100と、下地膜100の上に形成され導電材料にて構成された導電膜101aと、導電膜101aの上に積層された導電膜101bとを含む構成となっている。この場合、特に下地膜100を基体7上に無電解メッキにて形成するかもしくは導電ペーストを基体7の上に塗布し、焼き付けで形成する事によって、電解メッキを行いにくいセラミック

(アルミナやフェライト等)で構成された基体7上に容易に下地膜100を形成することができ、その下地膜100の上に電解メッキによって、導電膜101aを形成することによって、短時間でしかも厚い膜厚の端子電極を形成することができる。

【0020】更に、導電膜101aと導電膜101bの間には、巻線13のつぶされた端部が挟み込まれている。この時、少なくとも導電膜101bは260℃(好ましくは300℃)で熔融しない材料(融点が260℃以上)で構成されている。すなわち、導電膜101bは

融点が260℃以上好ましくは300℃以上である金属材料で構成することが好ましい。この様な構成によって、巻線13の端部は導電膜101aと導電膜101bに挟み込まれる構成とすることによって、接合強度が大幅に増すことになり、巻線13の端子部14、15からの脱落等の発生する確率が極めて少なくなる。なお、本実施の形態では、導電膜101a、101bの双方を260℃で熔融しない材料で構成した。

【0021】また、導電膜101bを260℃(好ましくは300℃)で熔融しない材料で構成することによって、通常電子部品等を回路基板等に接合するときの接合材が熔融する温度で導電膜101bが熔融しにくいように構成されているので、リフロー等で熱処理されても、巻線13の外れ等は生じることはない。

【0022】なお、本実施の形態では、端子電極を3層(下地膜100、導電膜101a、導電膜101b)で構成したが、2層でも4層以上でもよい。端子電極を2層で構成する場合には、例えば、下地膜100と導電膜101aを兼用する一つの導電膜で構成し、その導電膜の上に導電膜101bを設けた構成としたり、下地膜100が不要な場合には、基体7上に直接導電膜101aと導電膜101bを順に積層する構成である。また、端子電極自体に耐候性を持たせたい場合や、基体7の保護を行う場合、或いは端子電極と基体7との密着強度を向上させる場合には、3層以上の多層膜にすることが好ましい。

【0023】下地膜100、導電膜101a、導電膜101bの構成材料としては、銅、銀、金等の導電性金属材料や銅合金、銀合金、金合金などの導電性合金材料及びそれら導電性材料に他の元素を添加したものなどが用いられる。特に、下地膜100に銀或いは銀合金を焼き付けで形成し、下地膜100の上に銅或いは銅合金を電解メッキ等にて導電膜101aを形成することが、生産性やコストの面で非常に有利であり、しかも基体7と端子電極との接合強度を大きくすることができる。

【0024】また、導電膜101aは銀、銅、銀合金、銅合金、半田、錫、ニッケル、ニッケル合金、金、金合金の少なくとも一つで構成される事が好ましく、導電膜101bは銀、銅、銀合金、銅合金、ニッケル、ニッケル合金、金、金合金、錫-銀合金、錫-ビスマス合金、錫-銀-ビスマスの少なくとも一つで構成する事が好ましい。なお、導電膜101bを特に錫-銀合金、錫-ビスマス合金、錫-銀-ビスマスの少なくとも一つで構成する事によって、鉛を不要とするいわゆる鉛フリーの合金で構成することによって、環境に非常に優しい電子部品を供給できる。

【0025】また、特に好ましい実施の形態としては、下地膜100として銀或いは銀合金を焼き付けなどによって形成し、その上に電解メッキ等のメッキ法にて、銀或いは銀合金で構成される導電膜101aを形成する。

次に、導電膜101a上に熱圧着や超音波溶接などによって、巻線13を接合し、その後、融点が260℃以上である銅或いは銅合金によって、導電膜101bを形成する構成がある。

【0026】なお、本実施の形態では、下地膜100の厚さとして2μm〜30μm（更に好ましくは2μm〜10μm）とする事が好ましく、導電膜101aとしては、10μm〜30μm（更に好ましくは18μm〜22μm）とする事が好ましく、導電膜101bとしては、3μm〜100μm（更に好ましくは20μm〜30μm）とする事が好ましい。

【0027】端子電極の上に接合層を形成するが、この接合層は、配線パターン等に素子と電気的な接合を行うための半田等が付着している等の場合には、不要となるが、一般的には、回路基板との接合強度を増すために、接合層を設けることが好ましい。

【0028】接合層は耐食層102と接合表層103から構成されており、少なくとも接合層としては接合表層103は必要になり、耐食層102は時と場合によって必要に応じて設ける。耐食層102としてはNi、Ti、パラジウム等の耐食性のある金属か、もしくはそれらの合金をメッキ法等によって形成する。この耐食層102を設けることによって、端子電極の耐食性を飛躍的に向上させることができる。耐食層102上には、半田等の導電性接合材で構成され、メッキ法等などで形成された接合表層103が設けられている。

【0029】16は巻線13の端部を除いてほぼ全てを覆うように設けられた保護材で、保護材16はエポキシ樹脂等の耐候性を有する材料で構成されている。保護材16の構成材料としては他にレジストが用いることができ、レジストを用いる事によって容易に保護材16の形成が可能になり生産性が向上する。また、保護材16としてカチオン系またはアニオン系樹脂によって構成された電着膜で作製することもでき、電着膜を用いる事によって、一度に大量の素子に保護材16を形成することが出るので、非常に生産性を向上させることができる。この様に巻線13を覆うように保護材16を設ける事によって、実装機のノズルで素子を吸着し易くなり、しかもノズル等によって巻線13が変形したり、時には切れたりすることは、発生しない。なお、保護材16として絶縁材料を用いることによって巻線13間の確実な絶縁を行うことができる。また、保護材16として表面が滑らかな樹脂材料を用いることによって、更にノズルでの吸着特性を向上させることができ、実装ミスなどを抑制できる。この様に、従来では実装部品として不向きであった巻線タイプのインダクタンス素子において、保護材16を設ける構成とすることによって、飛躍的に実装性を向上させることができる。

【0030】また、保護材16としては、熱収縮性を有する樹脂材料で構成されたチューブ状体を基体7を挿入

する構成でも良い。この様な構成によって、寸法精度を非常に向上させることができ、確実な巻線保護を行うことができるとともに、工程を簡略化でき、不良品の発生を抑制できる。具体的な方法としては、まず、基体7よりも径の大きなチューブ状体（断面が円形状、方形、楕円形状等）を熱収縮性材料で構成し、そのチューブ状体を基体7に挿入し、熱処理することで、チューブ状体を収縮させ、確実にチューブ状体を基体7に設ける。

【0031】次に、巻線13と端子部14、15の関係について、説明する。

【0032】巻線13は、図5に示すように巻部8に巻回される巻回部13aと引出部13bを有しており、巻回部13aと引出部13bは屈曲点Gによって、分けられる。この屈曲点Gは巻部8に通常巻かれる状態である巻回部13aと、巻線13を端子部14、15上に設けられた端子電極に接合する様に引き出された引出部13bとの境目に位置し、この屈曲点Gでの屈曲角θ2は20度〜90度（特に好ましくは35度〜55度）とする事によって、巻回部13aに緩みが生じなくしかも、引出部13bと端子部14、15との接合を効率よく実現できる。

【0033】図6に示すように、上述の巻回部13aの外端部と端子部14、15上に設けられた端子電極との間隔LVを80μm以上好ましくは100μm以上とすることである。この様に間隔LVを80μm以上とすることによって、端子電極で発生する渦電流によって、Q値が低下しそして素子としての効率低下を防止できる。時に間隔LVを100μm以上設けることで、著しいQ値の低下を防止できる。先に挙げた従来の技術では、隙間を設ける事の記載しかなく、どの程度隙間を空けるかについては、全く記載されていない。本実施の形態では、様々な検討を行った結果、昨今の素子の小型化等を考慮すると、間隔LVが80μm以上必要であることが判った。

【0034】図7は周波数とQ値の関係を示すグラフである。図7において、A線は間隔LVが34.2μmの場合で、B線は間隔LVが102.9μmの場合を示している。このグラフから判るように、間隔LVが100μmを超えると高周波域でのQ値が非常に高くなっていることが判る。検討の結果、上述の様に、間隔LVが80μm以上であれば、十分な特性を得ることを確認している。

【0035】なお、間隔LVは巻回部13aの外端部と端子電極間における素子の長手方向の距離であり、素子の高さ方向の距離は考慮しない。

【0036】また、巻線13は、ほとんどの場合、導線部13cの周りに絶縁性の被膜13dが設けられている。上述の間隔LVは巻回部13aにおける外端部の導線部13cの端子電極部側の端部との間隔を示している。

【0037】次に、テーパー部 11, 12 について説明する。

【0038】上述の様に、間隔 LV を $80\mu\text{m}$ 以上設ける手段としては、巻線機等の設定を最適化する事によっても行えるが、時には、巻線 13 に緩みなどが生じて、巻回部 13a が端子電極に異常に接近してしまい、間隔 LV が $80\mu\text{m}$ 以下となってしまうことがある。

【0039】本実施の形態では、テーパー部 11, 12 を設けることによって、巻回部 13a の端子電極への異常接近を防止できる。すなわち、テーパー部 11, 12 を設けることによって、例えば、巻線 13 の巻回部 13a に緩みが生じても、このテーパー部 11, 12 がストッパー等の役割も果たすので、巻回部 13a が端子電極に異常接近することはほとんど生じないので、間隔 LV は $80\mu\text{m}$ 以上設けられるようになる。この時、テーパー部 11, 12 それぞれの長さ LX としては $90\mu\text{m}$ 以上好ましくは $100\mu\text{m}$ 以上形成する。この様に構成することで、巻線 13 の径を使用可能な範囲で変化させても、十分に間隔 LV を $80\mu\text{m}$ 以上とすることができる。

【0040】又、図 8 に示されるように、テーパー部 11, 12 の形成角度 $\theta 1$ は $100^\circ \sim 170^\circ$ とする事が好ましく、更に好ましくは $110^\circ \sim 130^\circ$ とすることである。この様に形成角度 $\theta 1$ を特定することによって、テーパー部 11, 12 と巻部 8 及び端子部 14, 15 との境界部に鋭利な角部が形成されることなく、しかもストッパーの役割として十分な機能を有する。

【0041】更に、端子部 14, 15 と巻部 8 との段差 LW と巻線 13 の直径 d の関係は $0.5 \times \text{段差 LW} < \text{直径 } d < 0.98 \times \text{段差 LW}$ となる事が好ましい。この様な関係にすることで、十分に間隔 LV を $80\mu\text{m}$ 以上とする事ができる。

【0042】次にインダクタンス素子の製造方法について説明する。

【0043】まず、乾式プレスや押し出し成形などによって、基体 7 を作製する。このとき押し出し法等で基体 7 を作製する場合には切削加工等を用いて巻部 8 及び鏝部 9, 10 を作製する。次に鏝部 9 の全面（本実施の形態では 4 つの側面 9a 及び一つの端面 9b）に下地膜 100 を形成し、その後に下地膜 100 の上に電解メッキなどによって導電膜 101a を形成する。この時、下地膜 100 及び導電膜 101a は鏝部 9 の全面に形成したが、側面 9a にのみに形成する構成や、端面 9b のみに形成する構成や、側面 9a の一部にしかも環状に形成する構成等 Q 値や実装性を考慮して様々な形態をとることができる、鏝部 10 についても同様に鏝部 10 の全面

（本実施の形態では 4 つの側面 10a 及び一つの端面 10b）に下地膜 100 を形成し、その後に下地膜 100 の上に電解メッキなどによって導電膜 101a を形成する。

【0044】次に、巻線 13 を巻部 8 に巻回する。この

時、巻回数は、素子のインダクタンス等を考慮して決定される。また、Q 値を向上させるために、巻線 13 と巻線 13 の間に隙間を設けて、Q 値を向上させることも可能となる。更に、この時下地膜 100, 導電膜 101a と巻線 13 は、巻線 13 の端部を除いて所定の間隔を設ける事が好ましい。

【0045】次に、巻線 13 の端部と導電膜 101a を熱圧着等で接合する。なお、巻線 13 と導電膜 101a の接合には他にレーザ溶接やスポット溶接、導電性接着剤（半田、導電性の樹脂）による接合などを用いることができる。

【0046】次に、巻線 13 上に保護材 16 を設ける。この時、少なくとも端子部 14, 15 を露出させるように保護材 16 は設けられる。この時、保護材 16 として、熱収縮性のある材料で構成されたチューブ状態を用いる場合には、チューブ状態を基体 7 に挿入した後に熱処理して、チューブ状態を収縮させる。

【0047】次に、電解メッキ等のメッキ法にて、 260°C で溶融しない材料によって、導電膜 101b を形成し、巻線 13 と導電膜 101a の接合部を覆う。この様な構成によって、巻線 13 の導電膜 101a との接合部は高融点の材料で覆われることになるので、熱が加わっても、容易に外れることはなく、しかも接合強度を非常に大きくすることができる。また、巻線 13 と導電膜 101a の接合部を導電膜 101b で覆うことによって、その接合部によって、生じる段差を緩和できるので、素子を回路基板などに実装した際に、素子の座りが良くなり、実装性が向上する。

【0048】接合層を要しない場合には、ここまでの工程でよいが、接合層を必要とする場合には以下の工程が必要になる。

【0049】まず、Ni や Ti 等の耐食性のある材料で耐食層 102 をメッキ法やスパッタリング法で形成し、その耐食層 102 の上に半田、鉛レス半田等の導電性接合材で構成された接合表層 103 がメッキ法等で形成される。本実施の形態の場合この耐食層 102 と接合表層 103 で接合層が形成されている。なお、接合層としては、耐食層 102 は使用環境等によって省略することができるので、少なくとも接合表層 103 が必要になる。

【0050】この接合層を端子電極の上に設けることで、巻線 13 は確実に端子電極との接合強度を増すことができる。この様に端子電極と接合電極で端子部 14, 15 が形成され、素子が完成する。

【0051】なお、本実施の形態では、鏝部 9, 10 及び巻部 8 の断面形状を略正方形となるように構成したが、正五角形、正六角形などの略正多角形状になるように構成しても良いし、略円形状となるようにしても良い。すなわち、素子を回路基板上に実装したときに方向性のない断面形状であればよい。

【0052】なお、今まで説明してきた素子のサイズ

(図 1 に示す高さ P 1, 幅 P 2, 長さ P 3) は、以下の範囲にすることが好ましい。

【0053】 $0.4\text{ mm} < P 1 < 1.2\text{ mm}$ (好ましくは $0.7\text{ mm} < P 1 < 1.2\text{ mm}$)

$0.4\text{ mm} < P 2 < 1.2\text{ mm}$ (好ましくは $0.7\text{ mm} < P 2 < 1.2\text{ mm}$)

$0.9\text{ mm} < P 3 < 2.0\text{ mm}$ (好ましくは $1.5\text{ mm} < P 3 < 2.0\text{ mm}$)

P 1 及び P 2 が 0.4 mm 以下であれば、基体 7 の機械的強度が弱くなり、巻線する際に素子折れなどが発生することがあるとともに、巻線 1 3 の巻径が小さくなってしまい所定の特性が得られなく、更には、巻線 1 3 が急激に曲げられることになるので、巻線 1 3 の破損が発生しやすく、しかも皮膜 1 3 d の剥がれ等の起こりやすくなる。なお、P 1, P 2 が 0.7 mm 以上であれば、上記不具合は更に発生する確率が低くなる。また、P 1, P 2 が 1.2 mm 以上であると、素子自体が大きくなり過ぎて、実装面積が広がってしまい、回路基盤等の小型化が行えず、ひいては装置の小型化を行うことは出来ない。また、P 3 が 0.9 mm 以下であると、巻線 1 3 の巻数が制限されることになり、所定のインダクタンスを得ることは出来ず、しかも巻線 1 3 の巻数を多くしようとすると、巻線 1 3 の径を細くしなければならず、自動巻線機等で巻線 1 3 を基体 7 際に巻線 1 3 の切れなどが発生する。なお、P 3 が 1.5 mm 以上であれば、更に上記不具合が発生する確率が低くなる。また、P 3 が 2.0 mm 以上であると、素子自体が大きくなり過ぎて、実装面積が広がってしまい、回路基盤等の小型化が行えず、ひいては装置の小型化を行うことは出来ない。

【0054】以下、本実施の形態の特徴点について、説明する。

【0055】本実施の形態の場合、端子電極の最表層は接合表層 103 であり、ほぼ銀色か白色である。図示していないが、本実施の形態では、巻回部 13 を覆う保護材 16 と端子電極との間には基体 7 が表出しているが、保護材 16 と基体 7 双方の色と、端子電極の最表層の色を異ならせている。具体的には、保護材 16 の色を黒、基体 7 の少なくとも表面の色を黒とすることで、端子電極最表層は銀あるいは白色で、他の部分は黒なので、画像認識による端子電極の形成幅等を検査する場合に良好に判定ができ、生産性が向上する。なお、本実施の形態では、保護材 16 と基体 7 を同色としたが、端子電極最表層の色と異なる色で異ならせてもよい。また、本実施の形態では、基体 7 と保護材 16 の黒としたけれども、

端子電極最表層の色と異なる色であれば赤、青、緑などの色を用いてもよい。

【0056】更に、基体 7 に色をつける場合には、基体 7 に所定の添加物や着色料を混ぜてもよいが、基体 7 は添加物などを加えることによって、特性の劣化が著しく発生する場合には、基体 7 表面に所定の色の塗料などを設けることが好ましい。

【0057】

【発明の効果】本発明は、基体と、前記基体に巻回された巻線と、前記基体に設けられ前記巻線と接合される端子電極と、前記巻線を覆う保護材とを備えたインダクタンス素子であって、端子電極最表層の色と基体、保護材の色を異ならせた事によって、端子電極の判定が容易に行え、生産性を向上させることができる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態におけるインダクタンス素子を示す斜視図

【図 2】本発明の一実施の形態におけるインダクタンス素子の基体のみを示した斜視図

【図 3】本発明の一実施の形態におけるインダクタンス素子を示す部分断面図

【図 4】本発明の一実施の形態におけるインダクタンス素子を示す部分断面図

【図 5】本発明の一実施の形態におけるインダクタンス素子を示す部分平面図

【図 6】本発明の一実施の形態におけるインダクタンス素子を示す部分断面図

【図 7】周波数と Q 値の関係を示すグラフ

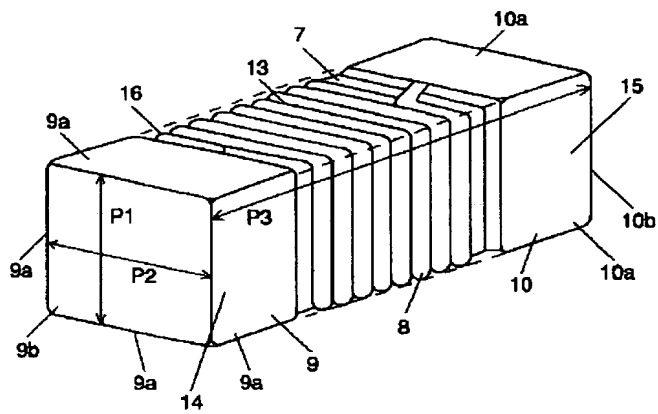
【図 8】本発明の一実施の形態におけるインダクタンス素子を示す部分断面図

【図 9】従来のインダクタンス素子を示す斜視図

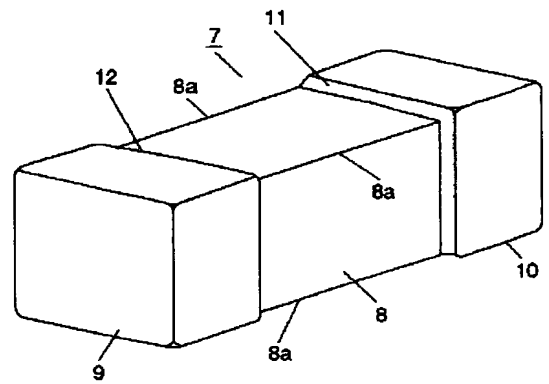
【符号の説明】

- 7 基体
- 8 巻部
- 9, 10 鍔部
- 13 巻線
- 14, 15 端子部
- 16 保護材
- 100 下地膜
- 101a 導電膜
- 101b 導電膜
- 102 耐食層
- 103 接合表層

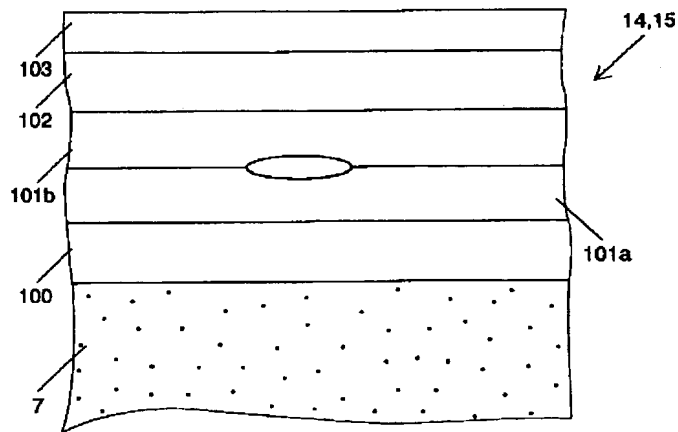
【図1】



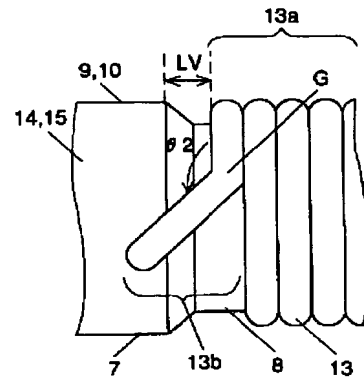
【図2】



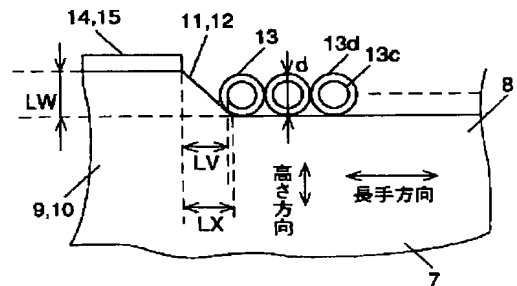
【図3】



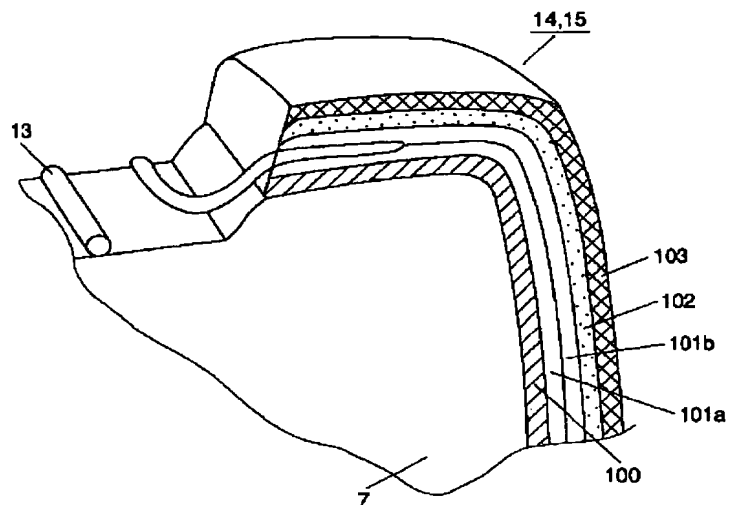
【図5】



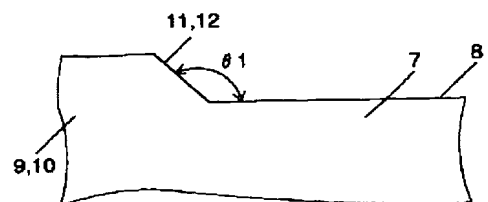
【図6】



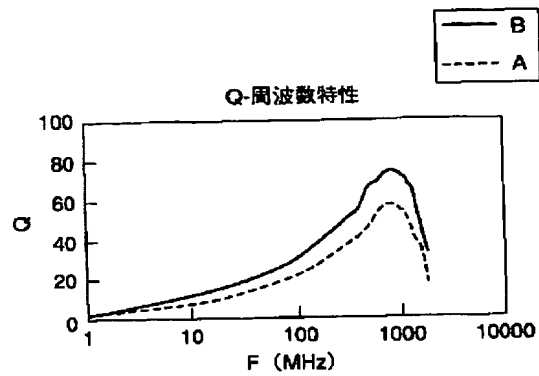
【図4】



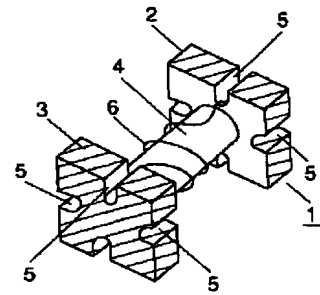
【図8】



【図7】



【図9】



フロントページの続き

(72)発明者 上米良 光男
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 磯崎 賢蔵
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5E070 AA01 AB10 BA01 BA03 CA20